

誌

(19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開平5-29573
(43)【公開日】平成5年(1993)2月5日
(54)【発明の名称】半導体記憶装置およびその製造方法
(51)【国際特許分類第5版】

H01L 27/108

【FI】

H01L 27/10 325 E 8728-4M
325 B 8728-4M

【審査請求】未請求

【請求項の数】2

【全頁数】8

(21)【出願番号】特願平3-184298

(22)【出願日】平成3年(1991)7月24日

(71)【出願人】

【識別番号】000006013

【氏名又は名称】三菱電機株式会社

【住所又は居所】東京都千代田区丸の内二丁目2番3号

(72)【発明者】

【氏名】香西 ▲隆▼

【住所又は居所】伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

(74)【代理人】

【弁理士】

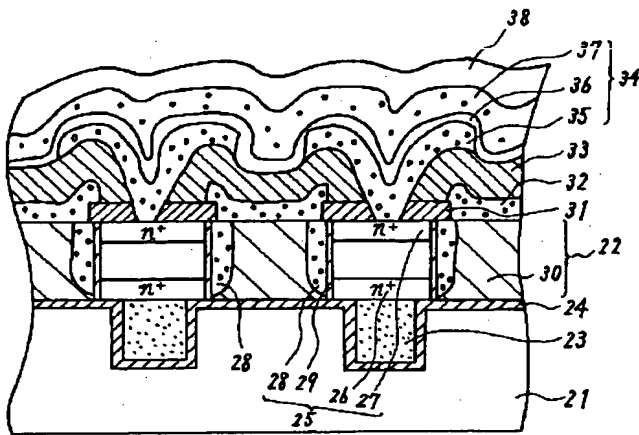
【氏名又は名称】高田 守 (外1名)

要約

(57)【要約】

【目的】DRAM(Dynamic Random Access Memory)のメモリセルの集積度を向上させる。

【構成】ビット線23が形成された第1のシリコン基板21と、アクセストランジスタ25が縦型に形成された第2のシリコン基板22とを貼り合わせ、その後ワード線32およびキャパシタ34を形成することにより、ビット線23とアクセストランジスタ25とキャパシタ34とが縦に並んだ、DRAMのメモリセルを得る。



- | | |
|-------------------|------------|
| 21: 第1の半導体基板 | 28: ゲート電極 |
| 22: 第2の半導体基板 | 29: ゲート酸化膜 |
| 23: ビット線 | 32: ワード線 |
| 25: アクセストランジスタ | 34: キャパシタ |
| 26: 第1のソース・ドレイン領域 | 35: 下部電極 |
| 27: 第2のソース・ドレイン領域 | |

請求の範囲

【特許請求の範囲】

【請求項1】 キャパシタとトランジスタとを単位記憶セルとして備え、前記トランジスタのソース・ドレイン領域の一方に前記キャパシタの下部電極が接続され、他の一方に接続されたビット線と、このビット線に直交する方向に延び、前記トランジスタのゲート電極に接続されたワード線とを有する半導体記憶装置において、半導体基板に形成された前記トランジスタのソース領域とドレイン領域とが縦方向に配設され、ソース領域とドレイン領域とその間の領域との縦に並んだ3層で構成される領域の側面を囲む状態で、ゲート酸化膜を介した前記ゲート電極が形成され、前記キャパシタと、前記トランジスタと、前記ビット線とが縦に並んで形成されたことを特徴とする半導体記憶装置。

【請求項2】 第1の半導体基板にビット線を形成する工程と、第2の半導体基板に、トランジスタのソース・ドレイン領域の一方の領域とゲート酸化膜とゲート電極とを形成する工程と、前記第1の半導体基板上に前記第2の半導体基板を上下逆にして貼り合わせて、前記ソース・ドレイン領域の一方の領域とビット線とを接続する工程と、その後、ソース・ドレイン領域の他の一方の領域と、それに接続するキャパシタと、隣接するゲート電極を接続するワード線とを形成する工程とを有することを特徴とする請求項1記載の半導体記憶装置の製造方法。

詳細な説明

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体記憶装置およびその製造方法に関し、特に保持すべき記憶情報が随時書き換え可能で、1トランジスタ、1キャパシタ型のメモリセルに関するものである。

【0002】

【従来の技術】DRAM(Dynamic Random Access Memory)は、任意のアドレスに対し高速に書き込み読み出しが可能で、書き込み読み出しに必要な時間はほぼ同じである。データの保持をコンデンサで行なうため、長時間(数msec以上)はデータを保持することができず、データの書き直しを一定時間内に行なうリフレッシュ動作が必要であるが、大容量という点で一番である。

【0003】図18は、一般的なDRAMの基本構成を示すブロック系統図である。図18に示す様に、DRAM50は、記憶情報のデータ信号を蓄積するメモリセルアレイ51と、個々の単位記憶回路としてのメモリセルを選択するためのアドレス信号を外から受けるロウアンドカラムアドレスバッファ52と、アドレス信号を解読することによって該当メモリセルを指定するロウデコーダ53、およびカラムデコーダ54と、指定されたメモリセルに蓄積された信号を増幅して読み出すセンスリフレッシュアンプ55と、データ入出力のためのデータインバッファ56、およびデータアウトバッファ57と、クロック信号を発生するクロックジェネレータ58とを含んでいる。また、アドレス信号は行(ロウ)と列(カラム)の選択信号(RAS, CAS)に同期して入力端子A₀～A₉から時分割的に入力される。

【0004】ここで、前記メモリセルアレイ51は、単位記憶情報を蓄積するメモリセルを平面的に規則正しくマトリックス状に並べた構成となっており、半導体チップ上において最も大きな面積を占める。図19は、DRAMにおけるメモリセルアレイ51を

構成するメモリセル60の4ビット分の等価回路図である。図において、61は、メモリセルアレイ51のうち行(ロウ)方向のメモリセル60を選択するための信号線であるワード線、62は、アクセスされたメモリセル60の情報が転送されるビット線である。また63はMOS(Metal Oxide Semiconductor)トランジスタ、64はMOSキャパシタである。メモリセル60は、電荷を記憶するMOSキャパシタ64と、その電荷を転送するMOSTランジスタ63とのみで構成された1トランジスタ、1キャパシタ型である。この型のメモリセル60は、構造自体が比較的簡単であって、メモリセル60自体の集積度向上もまた容易であることから、大容量のDRAMに広く用いられている。

【0005】また、DRAMの高集積化に伴い、メモリセルのサイズが縮小されると、これに対応してキャパシタなどの面積自体も縮小される。一方、記憶装置としてのDRAMの安定化動作、ならびに信頼性の観点から、たとえ、高集積化により1個当たりの単位面積自体が縮小されても、1ビットのメモリセルに蓄えられる電荷量をほぼ一定に維持する必要がある。このために従来より、DRAMの構成において、キャパシタを素子分離領域上に重ねて配置するようにした、いわゆる三次元化構造などの手段によって、蓄積可能な電荷量の増加を図ってきた。

【0006】図20は、従来例によるDRAMのメモリセル部の構造を示した断面図である。図において、1はシリコン単結晶等からなる半導体基板(以下、シリコン基板と称す)、2はシリコン基板1に形成され、素子間を分離するフィールド絶縁膜、3はシリコン基板1内に作り込まれたメモリセルのアクセストランジスタである。4は導電膜よりなり、アクセストランジスタ3のゲート電極を兼ねたワード線で、所定方向に相互に所定間隔を隔てて並設され、フィールド絶縁膜2の内中央側およびフィールド絶縁膜2上に形成される。5はワード線4aの周囲を覆うように形成されたゲート酸化膜、6はワード線4bを覆うように形成された絶縁膜、7、8はアクセストランジスタ3のソース領域およびドレイン領域である。9はシリコン基板1上に形成されたメモリセルのキャパシタ、10は多結晶シリコンなどの導電材料からなり、ソース領域(あるいはドレイン領域)8に接続されたキャパシタ9の下部電極、11は窒化膜と酸化膜との積層膜、あるいはタンタル酸化膜などからなり、下部電極10上に形成され、キャパシタ9の誘電層となる誘電体膜、12は誘電体膜11上に形成され、多結晶シリコンなどの導電材料からなる、キャパシタ9の上部電極である。13は上部電極12上に形成された層間絶縁膜、14は導電膜からなり、各ワード線4に直交する方向に、層間絶縁膜13上に形成されたビット線、15はビット線14とドレイン領域(あるいはソース領域)7を持続するための、上面が平坦化された導電膜である。なお、この場合、シリコン基板(1)はP型、ソース・ドレイン領域7、8はN⁺型にそれぞれ形成されている。

【0007】

【発明が解決しようとする課題】従来のDRAMに用いられるメモリセルは以上のように構成されているので、アクセストランジスタ3とキャパシタ9とが、シリコン基板1上に横方向に並べて配設されている。このため、メモリセルの面積が大きくなり、高密度集積化の妨げになるという問題点があった。

【0008】この発明は上記のような問題点を解消するためになされたもので、アクセストランジスタとキャパシタとが、シリコン基板上に、縦方向に並べて配設された、DRAMのメモリセルを提供することを目的とする。

【0009】

【課題を解決するための手段】この発明に係る半導体記憶装置は、キャパシタとトランジスタとを単位記憶セルとして備え、前記トランジスタのソース・ドレイン領域の一方に前記キャパシタの下部電極が接続され、他の一方に接続されたビット線と、このビット線に直交する方向に延び、前記トランジスタのゲート電極に接続されたワード線とを有する構造であって、半導体基板に形成された前記トランジスタのソース領域とドレイン領域とが縦方向に配設され、ソース領域とドレイン領域とその間の領域との縦に並んだ3層で形成される領域の側面を囲む状態で、ゲート酸化膜を介した前記ゲート電極が形成され、前記キャパシタと、前記トランジスタと、前記ビット線とが縦に並んで形成されたものである。

【0010】更にこの発明の製造方法は、第1の半導体基板にビット線を形成する工程と、第2の半導体基板に、トランジスタのソース・ドレイン領域の一方の領域とゲート酸化膜とゲート電極とを形成する工程と、前記第1の半導体基板上に前記第2の半導体基板を上下逆にして貼り合わせて、前記ソース・ドレイン領域の一方の領域とビット線とを接続する工程と、その後、ソース・ドレイン領域の他の一方の領域と、それに接続するキャパシタと、隣接するゲート電極を接続するワード線とを形成する工程とを有するものである。

【0011】

【作用】この発明における半導体記憶装置は、トランジスタのソース領域とドレイン領域を縦方向に配設し、ゲート電極も縦に形成されているため、トランジスタ自身の素子面積が減少し、さらに、ビット線とトランジスタとキャパシタとが縦に並んで形成されているため、従来の横に並べて形成されているものに比べ素子面積が著しく減少し、高密度集積化を効果的に向上することができる。

【0012】また、2枚の半導体基板を貼り合わせて製造するため、1枚の半導体基板上に、様々な、素子の構成要素を積み上げていく方法に比べ、平坦度が向上し、素子間の配線の信頼性が向上する。

【0013】

【実施例】以下、この発明を図について説明する。図1はこの発明の一実施例によるDRAMのメモリセルの構造を示した平面図であり、図2は図1のII-II線における断面図である。図において、21はシリコン単結晶などからなる第1の半導体基板(以下、第1のシリコン基板と称す)、22は第1のシリコン基板21上に位置し、同じくシリコン単結晶などからなる第2の半導体基板(以下、第2のシリコン基板と称す)、23は第1のシリコン基板21に形成されたビット線、24は、第1のシリコン基板21に形成され、シリコン層と、ビット線23および第2のシリコン基板22との境界となる第1の酸化膜である。25は第2のシリコン基板22に形成されたアクセストランジスタ、26、27は、アクセストランジスタ25のソース領域およびドレイン領域で、特に26は第1のソース・ドレイン領域、27は第2のソース・ドレイン領域である。28は第2のシリコン基板22に縦に形成された、アクセストランジスタ25のゲート電極、29はゲート電極28のソース・ドレイン領域26、27側の側面に形成されたゲート酸化膜、30は、第2のシリコン基板22のアクセストランジスタ25間に形成された第2の酸化膜である。31は第2のシリコン基板22上に形成された第3の酸化膜、32は隣接するゲート電極28を接続するワード線、33はワード線32および第3の酸化膜

31上に形成された第4の酸化膜である。34は第2のシリコン基板22の上方に形成されたキャパシタ、35はキャパシタ34の下部電極、36は下部電極35上に形成され、キャパシタ34の誘電層となる誘電体膜、37は誘電体膜36上に形成された、キャパシタ34上部電極、38は素子の表面を保護するパッシベーション膜である。

【0014】このように構成されるDRAMのメモリセルは次のように製造される。これを図3～図7に基いて説明する。まず、第1のシリコン基板21上の全面に酸化膜(図示せず)を形成し、所望のビット線23のパターンにパターニングし、その酸化膜のパターンをマスクにして、下地の第1のシリコン基板21をエッチングして除去する。その後マスクとなった酸化膜パターンを除去した後、第1のシリコン基板21上の全面に、第1の酸化膜24を、熱酸化法により形成する。次に、第1の酸化膜24上の全面に多結晶シリコン膜23aを形成する(図3)。次に、多結晶シリコン膜23a上の全面にホトレジスト膜40を形成して、表面を平坦にする(図4)。次に、エッチバック法により、第1の酸化膜24の表面が現われるまで、ホトレジスト膜40および多結晶シリコン膜23aをエッチングして、第1のシリコン基板21表面を水平にする。これにより、多結晶シリコン膜23aの一部が第1のシリコン基板21の溝に埋め込まれた状態で残存してビット線23が形成される(図5)。

【0015】次に、P型の第2のシリコン基板22上の全面に、熱酸化法により第5の酸化膜41を形成し、その上の全面に、CVD(Chemical Vapor Deposition)法により窒化膜42を形成し、さらにその上の全面に、CVD法により第6の酸化膜43を形成する。次に第6の酸化膜43上の全面にホトレジスト膜44を形成し、これをフォトリソグラフィ技術によりパターン化する。このレジストパターン44をマスクにして、下地の第6の酸化膜43、窒化膜42、および第5の酸化膜41をそれぞれエッチングして除去する(図6)。次に、ホトレジスト膜44を除去した後、第6の酸化膜43をマスクして下地の第2のシリコン基板22をエッチングして、シリコンエッチされた溝45を形成する。この溝45は縦、横に直交して等間隔に形成されている。言い換えれば、シリコンの柱46が、縦、横に直交して等間隔に並んだ状態となる(図7)。次に、露出している第2のシリコン基板22のシリコン面を熱酸化法により酸化した後、形成された酸化膜を除去して、シリコンエッチによりダメージを受けている第2のシリコン基板22のシリコン面を除去する。その後、再度熱酸化法によりゲート酸化膜29をシリコンエッチされた溝45の側面および底面に形成する(図8)。次に、第6の酸化膜43および窒化膜42を除去し、その後、第2のシリコン基板22上の全面に多結晶シリコン膜28aを形成する(図9)。

【0016】次に、多結晶シリコン膜28aを反応性イオンエッチング(RIE)によりエッチングすると、シリコンエッチされた溝45の側面、すなわちシリコンの柱46の周囲を囲む状態に、多結晶シリコン膜28aがサイドウォールとなって残存し、ゲート電極28が形成される。その後、第5の酸化膜41を除去した後、第2のシリコン基板22上の全面に、CVD法により第2の酸化膜30を形成してシリコンエッチされた溝45を埋める(図10)。次に、第2の酸化膜30上の全面に、ホトレジスト膜(図示せず)を形成して表面を平坦にした後、エッチバック法により第2の酸化膜30をエッチングする。このとき、第2の酸化膜30はシリコンの柱46の上面に所望の膜厚を残して、表面が水平になるようにエッチングする。その後、砒素イオンを第2のシリコン基板22上より注入し、熱処理を行って、 N^+ 型の第1のソース・ドレイン領域26を形成する。(図11)。次に、第2の酸化膜30をエッチバック法により全面エッチングして、シリコンエッチされた溝45にのみ第2の酸化膜30が残るように、第2のシリコン基板22表面を水平にする(図12)。

【0017】次に、第2のシリコン基板22を上下逆にして、第1のシリコン基板21上に載置する。このとき、第1のシリコン基板21に形成されたビット線23が、第2のシリコン基板22に形成された第1のソース・ドレイン領域26と接し、また、縦横に直交して等間隔に並んでいるシリコンエッチされた溝45の縦あるいは横の線が、ビット線23と平行になるようにする。その後、2枚のシリコン基板21、22に圧力をかけて圧着した後熱処理を加えて貼り合わせる(図13)。次に、第2のシリコン基板22を、アルゴンイオンによるスパッタエッチング法により全面のエッチングを行う。このとき、ゲート酸化膜29の第2のシリコン基板22に平行な部分を除去するまでエッチングして表面を水平にする。その後、第2のシリコン基板22上の全面に、砒素イオンを注入する。次に、砒素イオンが注入された第2のシリコン基板22上の全面に、第3の酸化膜31をCVD法により形成して、露出しているシリコン表面を第3の酸化膜31で覆う。その後、熱処理を行って、シリコンの柱46の上面に第2のソース・ドレイン領域27を形成する(図14)。

【0018】次に、第3の酸化膜31上の全面にホトレジスト膜(図示せず)を形成しフォトリソグラフィ技術によりパターン化する。このレジストパターンをマスクにして下地の第3の酸化膜31をエッチングして除去する。これにより、第2の酸化膜30上からゲート電極28上にわたって、主面の一部が露出して開孔される。その後この開孔部を埋めるように、第2のシリコン基板22上の全面に多結晶シリコン膜を形成し、さらにその上の全面にホトレジスト膜(図示せず)を形成し、フォトリソグラフィ技術によりパターン化する。このレジストパターンをマスクにして下地の多結晶シリコン膜をエッチングして除去する。これにより、隣接するゲート電極28を接続する多結晶シリコン膜のワード線32が、ビット線23と直交するように形成される(図15)。次に、第2のシリコン基板22上の全面に、第4の酸化膜33をCVD法により形成した後、第4の酸化膜33および第3の酸化膜31を選択的に角度をつけてエッチングし、下地の第2のソース・ドレイン領域27の主面の一部を露出して開孔部を形成する。その後、この開孔部を埋めるように、第4の酸化膜33上の全面に多結晶シリコン膜を形成した後、この多結晶シリコン膜をパターニングすることにより、開孔部を介して第2のソース・ドレイン領域27に接続する、キャパシタ34の下部電極35を形成する(図16)。

【0019】次に、第2のシリコン基板22上の全面にCVD法により、窒化膜または酸化膜、あるいはこれらの複合膜からなるキャパシタ34の誘電体膜36、その上に多結晶シリコン膜よりなるキャパシタ34の上部電極37、さらにその上に窒化膜よりなるパッシベーション膜38をそれぞれ順に重ねて形成する。これにより、DRAMのメモリセルは完成される(図17)。

【0020】以上のように構成されるDRAMのメモリセルは、ビット線23が埋め込まれた第1のシリコン基板21の上に、アクセストランジスタ25が形成された第2のシリコン基板22が張り合わされ、さらにその上にキャパシタ34が形成されている。また、第2のシリコン基板22に、縦横に格子状に形成されたシリコンの柱46には、N型、P型、N型の3つの層が縦に形成されて、上下のN型層がアクセストランジスタ25のソース・ドレイン領域26、27となり、そのシリコンの柱46の周囲を囲むように、ゲート酸化膜29を介したゲート電極28が縦に形成され、ビット線23に直交する方向に隣接するゲート電極28をワード線32が接続する。さらにアクセストランジスタ25の第2のソース・ドレイン領域27上にキャパシタ34が形成され、アクセストラ

ンジスタ25の第1のソース・ドレイン領域26は、さらにその下層のビット線23に接する。このように、アクセストランジスタ25が縦型に構成されることによって、素子面積が縮小され、さらに、ビット線23、アクセストランジスタ25、およびキャパシタ34が縦に並んで配設されることにより、従来例におけるDRAMのメモリセルに比べて格段に集積度が向上する。

【0021】

【発明の効果】以上のように、この発明は、電界効果トランジスタを縦型に形成し、さらに、ビット線と前記トランジスタとキャパシタとが縦に並んで形成されるため、半導体記憶装置の集積度が著しく向上する。

【0022】また、2枚の半導体基板を貼り合わせて製造しているため、平坦度が向上し、素子間の配線の信頼性が向上するとともに、ビット線とトランジスタとキャパシタとを縦に配設する構成を容易に実現することが可能になり、半導体記憶装置の集積化が効果的に行える。

図の説明

【図面の簡単な説明】

【図1】この発明の一実施例によるDRAMのメモリセルの構造を示す平面図である。

【図2】図1のII-II線における断面図である。

【図3】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図4】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図5】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図6】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図7】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図8】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図9】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図10】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図11】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図12】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図13】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図14】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図15】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図16】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図17】この発明の一実施例によるDRAMのメモリセルの製造方法の一工程を示す断面図である。

【図18】DRAMの基本構成を示すブロック系統図である。

【図19】DRAMのメモリセルの4ビット分の等価回路図である。

【図20】従来のDRAMのメモリセルの構造を示す断面図である。

【符号の説明】

21 第1の半導体基板

22 第2の半導体基板

23 ビット線

25 アクセストランジスタ

26 第1のソース・ドレイン領域

27 第2のソース・ドレイン領域

28 ゲート電極

29 ゲート酸化膜

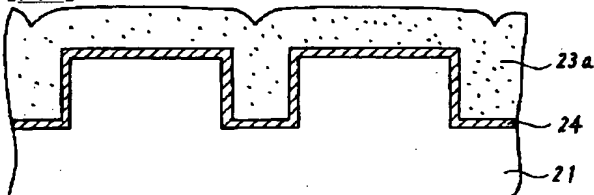
32 ワード線

34 キャパシタ

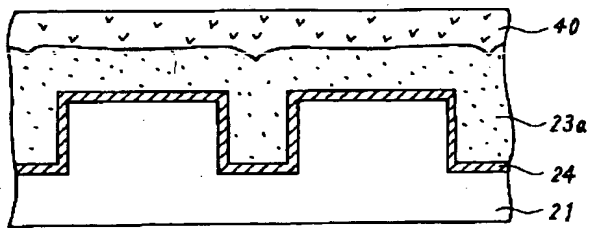
35 下部電極

図面

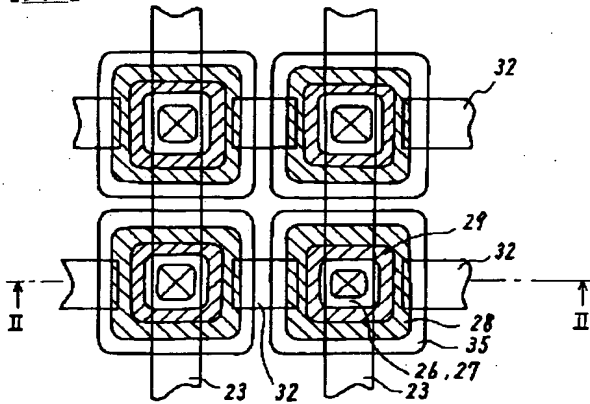
【図3】



【図4】

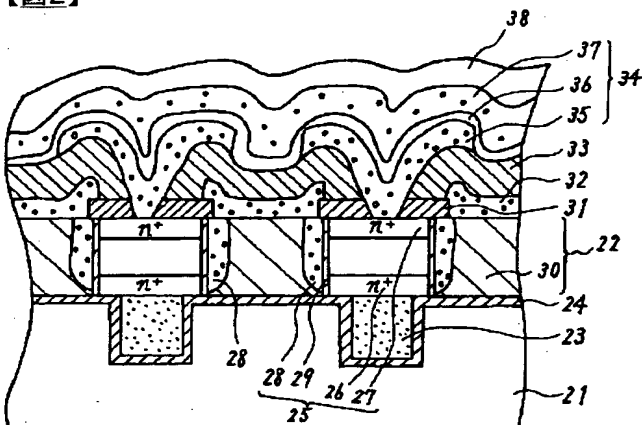


【図1】



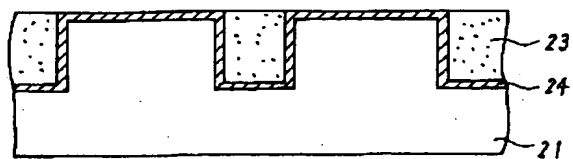
- 23: ビット線
 26: オ1のソース・ドレイン領域
 27: オ2のソース・ドレイン領域
 28: ゲート電極
 29: ゲート酸化膜
 32: ワード線
 35: 下部電極

【図2】

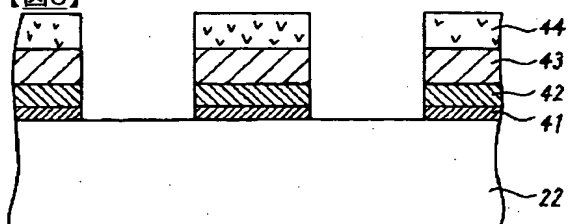


- 21: オ1の半導体基板
 22: オ2の半導体基板
 23: ビット線
 25: アクセストランジスタ
 26: オ1のソース・ドレイン領域
 27: オ2のソース・ドレイン領域
 28: ゲート電極
 29: ゲート酸化膜
 32: ワード線
 34: キャパシタ
 35: 下部電極

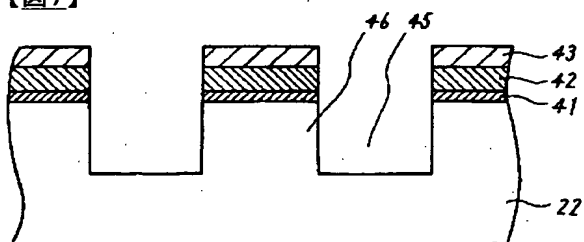
【図5】



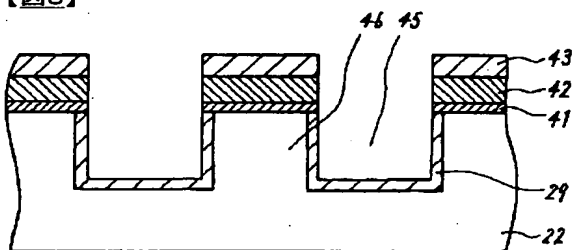
【図6】



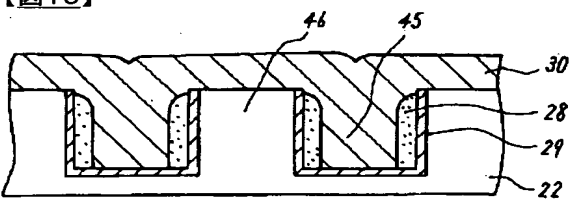
【図7】



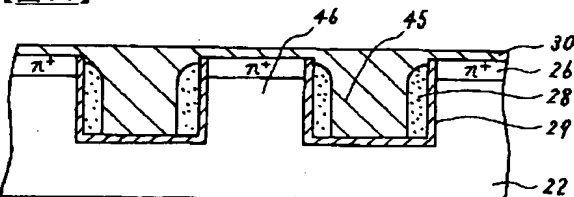
【図8】



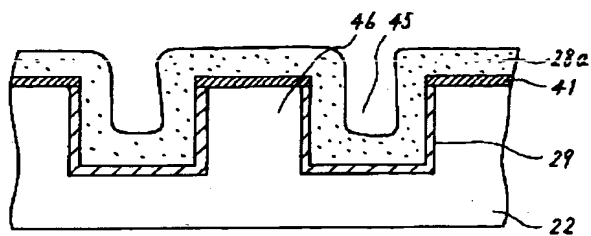
【図10】



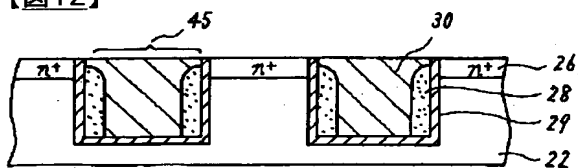
【図11】



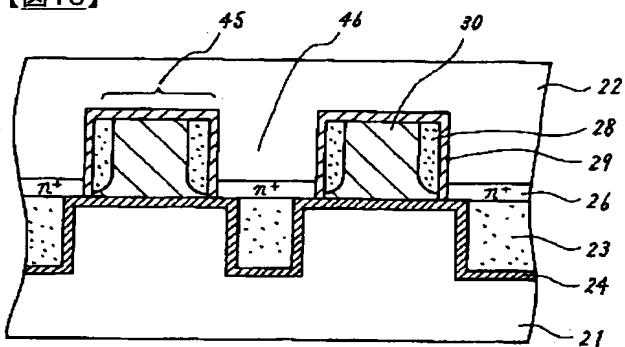
【図9】



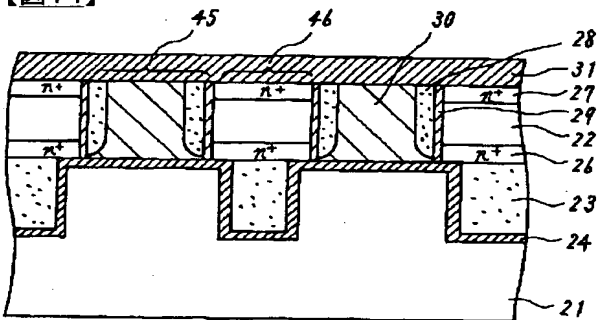
【図12】



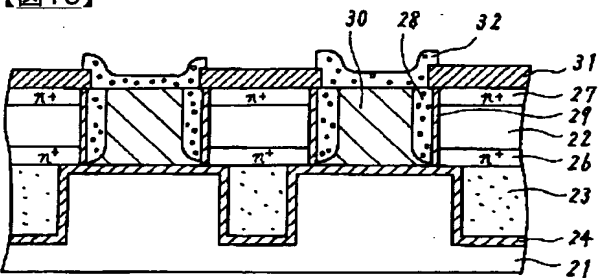
【図13】



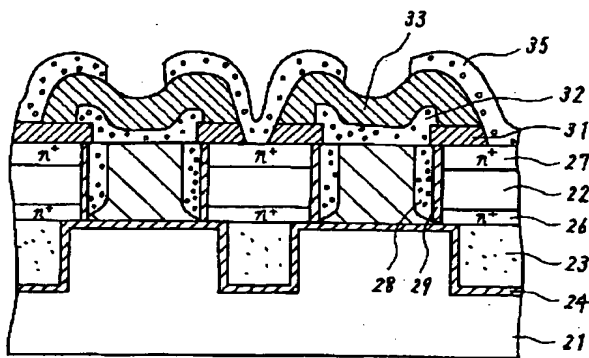
【図14】



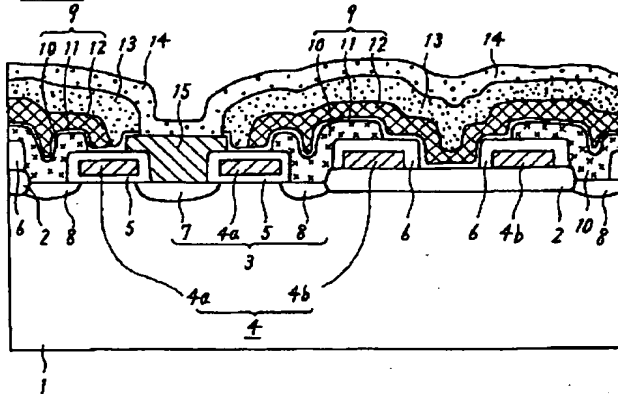
【図15】



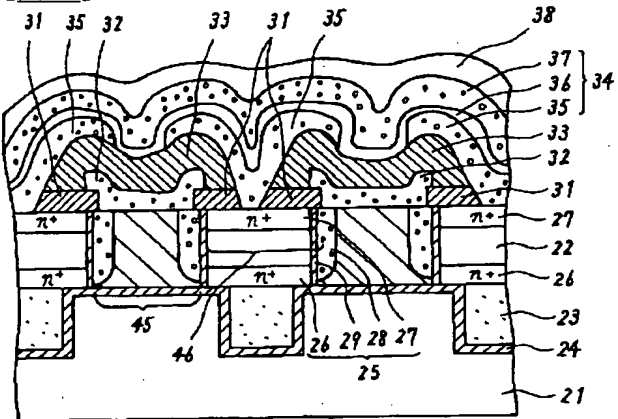
【図16】



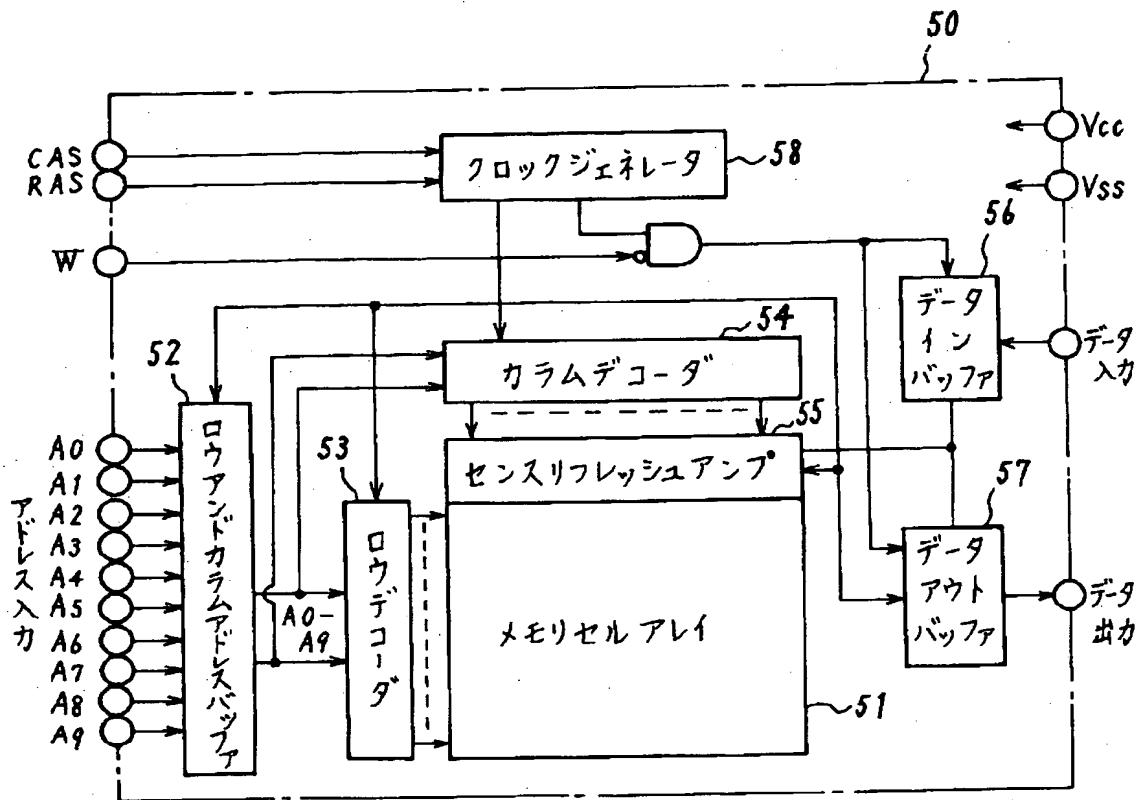
【図20】



【図17】



【図18】



【図19】

